

**МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РЕСПУБЛИКИ КАЗАХСТАН
КАСПИЙСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ ТЕХНОЛОГИЙ И
ИНЖИНИРИНГА ИМЕНИ Ш. ЕСЕНОВА**

ИНСТИТУТ МОРСКИХ ТЕХНОЛОГИЙ

Кафедра «Вычислительная техника и программное обеспечение»

ШУАКБАЕВА Р.С.

**ОРГАНИЗАЦИЯ ВЫЧИСЛИТЕЛЬНЫХ СИСТЕМ И СЕТЕЙ
МЕТОДИЧЕСКОЕ УКАЗАНИЕ ПО ВЫПОЛНЕНИЮ КОНТРОЛЬНЫХ
РАБОТ ДЛЯ СТУДЕНТОВ ЗАОЧНОГО ОТДЕЛЕНИЯ ДЛЯ
СПЕЦИАЛЬНОСТИ 050704-ВЫЧИСЛИТЕЛЬНАЯ ТЕХНИКА И
ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ**

АКТАУ- 2010

УДК 681.326 (027)

Составитель: Шуакбаева Р.С. - Организация вычислительных систем и сетей. Методическое указание по выполнению контрольных работ для студентов заочного отделения для специальности 050704-Вычислительная техника и программное обеспечение, Актау: Изд-во КГУТиИ им. Ш.Есенова, 2010, с.39

РЕЦЕНЗЕНТ: к.ф.м.н., доцент Дуйсембаев Б.М.

Методическое указание разработано в соответствии с требованиями учебной программы по дисциплине «Организация вычислительных систем и сетей», с целью облегчить и направить деятельность студентов при изучении дисциплины «Организация вычислительных систем и сетей», а также методические рекомендации по выполнению контрольных работ.

Методическое указание содержит краткий теоретический материал, варианты задания для самостоятельного выполнения и методические указания к их выполнению.

Рекомендовано к изданию решением Учебно-методического совета Каспийского государственного университета технологии и инжиниринга им.Ш.Есенова

© КГУТиИ им. Ш.Есенова, 2010

Введение

Целью дисциплины является изучение особенностей организации вычислительных машин, систем и сетей ЭВМ, принципов построения отдельных устройств и взаимодействие их в процессе ввода, обработки и вывода информации.

В результате изучения дисциплины студенты должны знать:

- принципы функциональной и структурной организации вычислительных машин, систем, комплексов и сетей ЭВМ, арифметических, логических и схематических основ ЭВМ;
- принципы организации внутренних и внешних ЗУ;
- структуру процессоров;
- принципы работы устройств ввода и вывода информации и организация взаимодействия их с центральными устройствами;
- основы проектирования вычислительных систем и сетей.

Цель данной дисциплины - углубление и закрепление теоретических знаний по проектированию и применению наиболее распространенных цифровых элементов, узлов и устройств, а также приобретение навыков работы с цифровыми интегральными схемами и устройствами, построенными на их основе.

Изучение любого вопроса принято начинать с договоренностей о терминологии. В нашем случае определению подлежат понятия вычислительная машина (ВМ) и вычислительная система (ВС). Сразу же оговорим, что предметом рассмотрения будут исключительно цифровые машины и системы, то есть устройства, оперирующие дискретными величинами. В литературе можно найти множество самых различных определений терминов «вычислительная машина» и «вычислительная система». Причина такой терминологической неопределенности кроется в невозможности дать удовлетворяющее всех четкое определение, достойное роли стандарта. Любая из известных формулировок несет в себе стремление авторов отразить наиболее существенные, по их мнению, моменты, в силу чего не может быть всеобъемлющей.

1. Краткий теоретический материал

1.1. Принципы построения и организация ЭВМ, систем и сетей ЭВМ

Цель: Заложить методически правильные основы знаний о принципах организации и функционирования отдельных устройств и ЭВМ в целом, необходимые будущим специалистам в области автоматизированных систем управления и обработки информации.

Энергозависимость — хранимая информация теряется при отключении электропитания.

Устройство управления (УУ) — важнейшая часть ВМ, организующая автоматическое выполнение программ (путем реализации функций управления) и обеспечивающая функционирование ВМ как единой системы.

АЛУ обеспечивает арифметическую и логическую обработку двух входных переменных, в результате которой формируется выходная переменная.

Принцип двоичного кодирования

Согласно этому принципу, вся информация, как данные, так и команды, кодируются двоичными цифрами 0 и 1. Каждый тип информации представляется двоичной последовательностью и имеет свой формат. Последовательность битов в формате, имеющая определенный смысл, называется полем. В числовой информации обычно выделяют поле знака и поле значащих разрядов. В формате команды можно выделить два поля (рис. 1): поле кода операции (КОп) и поле адресов (адресную часть — АЧ).

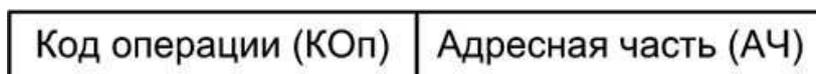


Рис. 1. Структура команды

Код операции представляет собой указание, какая операция должна быть выполнена, и задается с помощью r -разрядной двоичной комбинации.

Вид адресной части и число составляющих ее адресов зависят от типа команды: в командах преобразования данных АЧ содержит адреса объектов обработки (операндов) и результата; в командах изменения порядка вычислений — адрес следующей команды программы; в командах ввода/вывода — номер устройства ввода/вывода. Адресная часть также представляется двоичной последовательностью, длину которой обозначим через p . Таким образом, команда в вычислительной машине имеет вид $(r + p)$ -разрядной двоичной комбинации.

Принцип программного управления

Все вычисления, предусмотренные алгоритмом решения задачи, должны быть представлены в виде программы, состоящей из последовательности управляющих слов — команд. Каждая команда предписывает некоторую операцию из набора операций, реализуемых вычислительной машиной. Команды программы хранятся в последовательных ячейках памяти вычислительной машины и выполняются в естественной последовательности, то есть в порядке их положения в программе. При необходимости, с помощью специальных команд, эта последовательность может быть изменена. Решение

об изменении порядка выполнения команд программы принимается либо на основании анализа результатов предшествующих вычислений, либо, безусловно.

Принцип однородности памяти

Команды и данные хранятся в одной и той же памяти и внешне в памяти неразличимы. Распознать их можно только по способу использования. Это позволяет производить над командами те же операции, что и над числами, и, соответственно, открывает ряд возможностей. Так, циклически изменяя адресную часть команды, можно обеспечить обращение к последовательным элементам массива данных. Такой прием носит название модификации команд и с позиций современного программирования не приветствуется. Более полезным является другое следствие принципа однородности, когда команды одной программы могут быть получены как результат исполнения другой программы. Эта возможность лежит в основе трансляции — перевода текста программы с языка высокого уровня на язык конкретной ВМ.

Принцип адресности

Структурно основная память состоит из пронумерованных ячеек, причем процессору в произвольный момент доступна любая ячейка. Двоичные коды команд и данных разделяются на единицы информации, называемые словами, и хранятся в ячейках памяти, а для доступа к ним используются номера соответствующих ячеек — адреса.

Фон-неймановская архитектура

В архитектуре фон Неймана определены основные устройства ВМ, с помощью которых должны быть реализованы вышеперечисленные принципы. Большинство современных ВМ по своей структуре отвечают принципу программного управления. Типичная фон-неймановская ВМ содержит: память, устройство управления, арифметико-логическое устройство и устройство ввода/вывода.

В любой ВМ имеются средства для ввода программ и данных к ним. Информация поступает из подсоединенных к ЭВМ периферийных устройств (ПУ) ввода. Результаты вычислений выводятся на периферийные устройства вывода. Связь и взаимодействие ВМ и ПУ обеспечивают порты ввода и порты вывода. Термином порт обозначают аппаратуру сопряжения периферийного устройства с ВМ и управления им. Совокупность портов ввода и вывода называют устройством ввода/вывода (УВВ) или модулем ввода/вывода ВМ (МВВ).

Введенная информация сначала запоминается в основной памяти, а затем переносится во вторичную память, для длительного хранения. Чтобы программа могла выполняться, команды и данные должны располагаться в основной памяти (ОП), организованной таким образом, что каждое двоичное слово хранится в отдельной ячейке, идентифицируемой адресом, причем соседние ячейки памяти имеют следующие по порядку адреса. Доступ к любым ячейкам запоминающего устройства (ЗУ) основной памяти может производиться в произвольной последовательности. Такой вид памяти известен как память с произвольным доступом. ОП современных ВМ в основном

состоит из полупроводниковых оперативных запоминающих устройств (ОЗУ), обеспечивающих как считывание, так и запись информации. Для таких ЗУ характерна энергозависимость — храняемая информация теряется при отключении электропитания. Если необходимо, чтобы часть основной памяти была энергонезависимой, в состав ОП включают постоянные запоминающие устройства (ПЗУ), также обеспечивающие произвольный доступ. Хранящаяся в ПЗУ информация может только считываться (но не записываться).

Размер ячейки основной памяти обычно принимается равным 8 двоичным разрядам — байту. Для хранения больших чисел используются 2, 4 или 8 байтов, размещаемых в ячейках с последовательными адресами. В этом случае за адрес числа часто принимается адрес его младшего байта. Так, при хранении 32-разрядного числа в ячейках с адресами 200, 201, 202 и 203 адресом числа будет 200. Такой прием называют адресацией по младшему байту или методом «остроконечников» (little endian addressing). Возможен и противоположный подход — по меньшему из адресов располагается старший байт.

Устройство управления (УУ) — важнейшая часть ВМ, организующая автоматическое выполнение программ (путем реализации функций управления) и обеспечивающая функционирование ВМ как единой системы. Для пояснения функций УУ ВМ следует рассматривать как совокупность элементов, между которыми происходит пересылка информации, в ходе которой эта информация может подвергаться определенным видам обработки. Пересылка информации между любыми элементами ВМ инициируется своим сигналом управления (СУ), то есть управление вычислительным процессом сводится к выдаче нужного набора СУ в нужной временной последовательности. Цепи СУ показаны на рис. 1.3 полутонными линиями. Основной функцией УУ является формирование управляющих сигналов, отвечающих за извлечение команд из памяти в порядке, определяемом программой, и последующее исполнение этих команд. Кроме того, УУ формирует СУ для синхронизации и координации внутренних и внешних устройств ВМ.

Еще одной неотъемлемой частью ВМ является арифметико-логическое устройство (АЛУ). АЛУ обеспечивает арифметическую и логическую обработку двух входных переменных, в результате которой формируется выходная переменная. Функции АЛУ обычно сводятся к простым арифметическим и логическим операциям, а также операциям сдвига. Помимо результата операции АЛУ формирует ряд признаков результата (флагов), характеризующих полученный результат и события, произошедшие в процессе его получения (равенство нулю, знак, четность, перенос, переполнение и т. д.). Флаги могут анализироваться в УУ с целью принятия решения о дальнейшей последовательности выполнения команд программы.

УУ и АЛУ тесно взаимосвязаны и их обычно рассматривают как единое устройство, известное как центральный процессор (ЦП) или просто процессор. Помимо УУ и АЛУ в процессор входит также набор регистров общего назначения (РОН), служащих для промежуточного хранения информации в процессе ее обработки.

Типы структур вычислительных машин и систем

Достоинства и недостатки архитектуры вычислительных машин и систем изначально зависят от способа соединения компонентов. При самом общем подходе можно говорить о двух основных типах структур вычислительных машин и двух типах структур вычислительных систем.

Структуры вычислительных машин

В настоящее время примерно одинаковое распространение получили два способа построения вычислительных машин: с непосредственными связями и на основе шины. В фон Неймовской архитектуре между взаимодействующими устройствами (процессор, память, устройство ввода/вывода) имеются непосредственные связи. Особенности связей (число линий в шинах, пропускная способность и т. п.) определяются видом информации, характером и интенсивностью обмена. Достоинством архитектуры с непосредственными связями можно считать возможность развязки «узких мест» путем улучшения структуры и характеристик только определенных связей, что экономически может быть наиболее выгодным решением.

В варианте с общей шиной все устройства вычислительной машины подключены к магистральной шине, служащей единственным трактом для потоков команд, данных и управления (рис. 2). Наличие общей шины существенно упрощает реализацию ВМ, позволяет легко менять состав и конфигурацию машины. Благодаря этим свойствам шинная архитектура получила широкое распространение в мини- и микроЭВМ. Вместе с тем, именно с шиной связан и основной недостаток архитектуры: в каждый момент передавать информацию по шине может только одно устройство. Основную нагрузку на шину создают обмены между процессором и памятью, связанные с извлечением из памяти команд и данных и записью в память результатов вычислений. На операции ввода/вывода остается лишь часть пропускной способности шины. Практика показывает, что даже при достаточно быстрой шине для 90% приложений этих остаточных ресурсов обычно не хватает, особенно в случае ввода или вывода больших массивов данных.

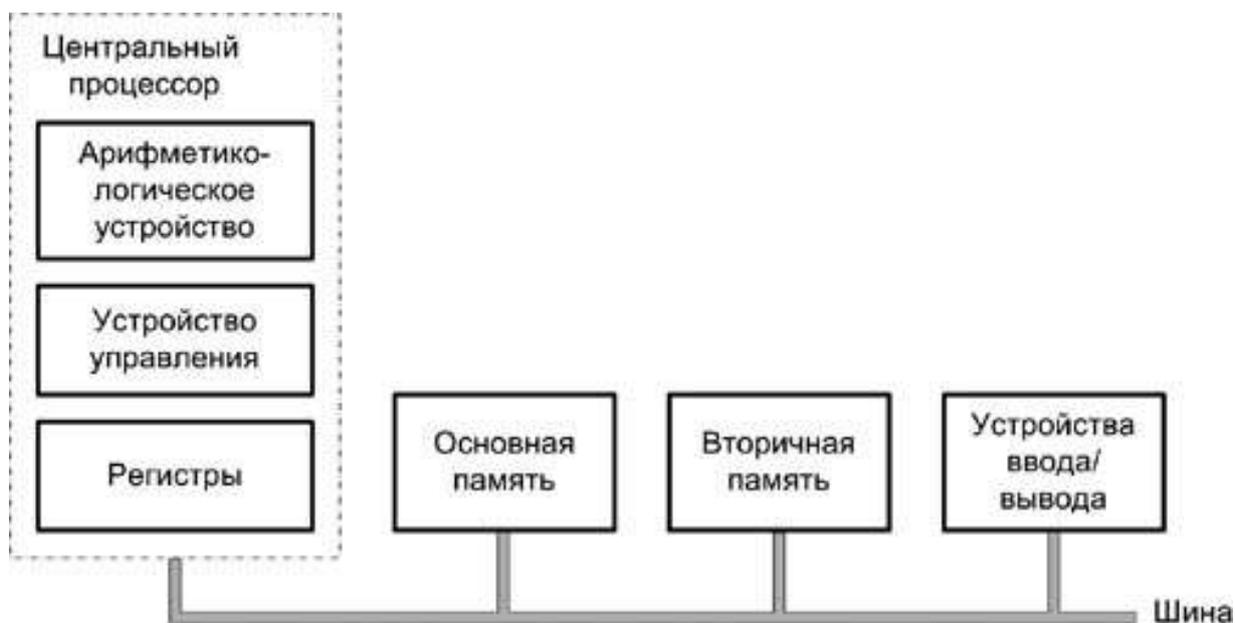


Рис. 2. Структура вычислительной машины на базе общей шины

В целом следует признать, что при сохранении фон-неймановской концепции последовательного выполнения команд программы шинная архитектура в чистом ее виде оказывается недостаточно эффективной. Более распространена архитектура с иерархией шин, где помимо магистральной шины имеется еще несколько дополнительных шин. Они могут обеспечивать непосредственную связь между устройствами с наиболее интенсивным обменом, например процессором и кэш-памятью. Другой вариант использования дополнительных шин — объединение однотипных устройств ввода/вывода с последующим выходом с дополнительной шины на магистральную. Все эти меры позволяют снизить нагрузку на общую шину и более эффективно расходовать ее пропускную способность.

Структуры вычислительных систем

Понятие «вычислительная система» предполагает наличие множества процессоров или законченных вычислительных машин, при объединении которых используется один из двух подходов.

В вычислительных системах с общей памятью (рис. 3) имеется общая основная память, совместно используемая всеми процессорами системы. Связь процессоров с памятью обеспечивается с помощью коммуникационной сети, чаще всего вырождающейся в общую шину. Таким образом, структура ВС с общей памятью аналогична рассмотренной выше архитектуре с общей шиной, в силу чего ей свойственны те же недостатки. Применительно к вычислительным системам данная схема имеет дополнительное достоинство: обмен информацией между процессорами не связан с дополнительными операциями и обеспечивается за счет доступа к общим областям памяти.



Рис. 3. Структура вычислительной системы с общей памятью

Альтернативный вариант организации — распределенная система, где общая память вообще отсутствует, а каждый процессор обладает собственной локальной памятью (рис. 4). Часто такие системы объединяют отдельные ВМ. Обмен информацией между составляющими системы обеспечивается с помощью коммуникационной сети посредством обмена сообщениями.

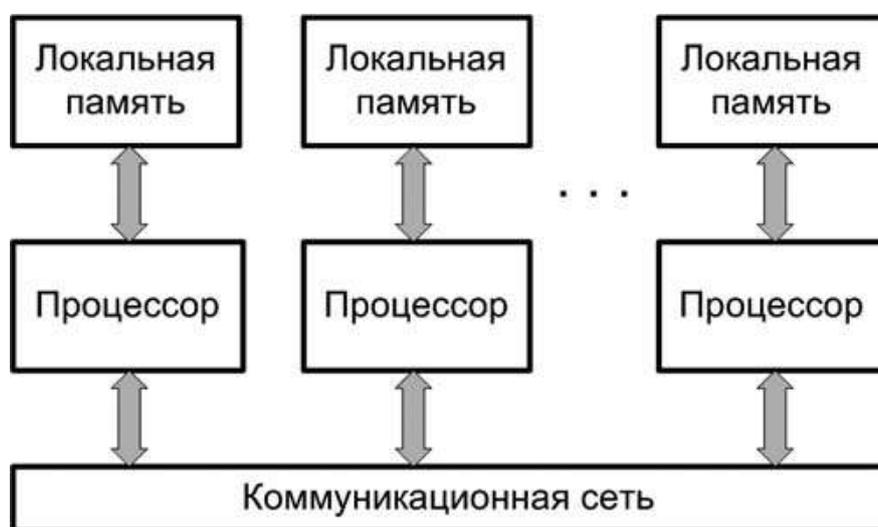


Рис. 4. Структура распределенной вычислительной системы

Подобное построение ВС снимает ограничения, свойственные для общей шины, но приводит к дополнительным издержкам на пересылку сообщений между процессорами или машинами.

1.2. Схемотехнические основы ЭВМ

Цель: Освоение схемотехнических основ.

Цифровая интегральная схема (ИС) – это микроэлектронное изделие, изготовленное методами интегральной технологии (чаще полупроводниковой), заключенное в самостоятельный корпус и выполняющее определенную функцию преобразования дискретных (цифровых) сигналов.

Логической переменной называется величина, которая может принимать одно из двух возможных состояний (значений), одно из которых обозначается символом “0”, другое – “1” (для обозначения состояний возможно применение и других символов, например, “Да” и “Нет” и др.).

Логической (булевой) функцией (обычное обозначение – y) называется функция двоичных переменных (аргументов), которая также может принимать одно из двух возможных состояний (значений): “0” или “1”.

Элементарной базой современных цифровых устройств и систем являются цифровые интегральные схемы.

Цифровая интегральная схема (ИС) – это микроэлектронное изделие, изготовленное методами интегральной технологии (чаще полупроводниковой), заключенное в самостоятельный корпус и выполняющее определенную функцию преобразования дискретных (цифровых) сигналов.

Простейшие преобразования над цифровыми сигналами осуществляют цифровые ИС, получившие названия логических элементов (ЛЭ). Для описания работы цифровых ИС, а, следовательно, и устройств, построенных на их основе, используется математический аппарат алгебры логики или булевой алгебры. Возможность применения булевой алгебры для решения задач анализа и синтеза цифровых устройств обусловлена аналогией понятий и категорий этой алгебры и двоичной системы счисления, которая положена в основу представления преобразуемых устройством сигналов.

Основы булевой алгебры

Основными понятиями булевой алгебры являются понятия логической переменной и логической функции.

Логической переменной называется величина, которая может принимать одно из двух возможных состояний (значений), одно из которых обозначается символом “0”, другое – “1” (для обозначения состояний возможно применение и других символов, например, “Да” и “Нет” и др.). Сами двоичные переменные чаще обозначают символами x_1, x_2, \dots . В силу определения логические переменные можно называть также двоичными переменными.

Логической (булевой) функцией (обычное обозначение – y) называется функция двоичных переменных (аргументов), которая также может принимать одно из двух возможных состояний (значений): “0” или “1”. Значение некоторой логической функции n переменных определяется или задается для каждого набора (сочетания) двоичных переменных. Количество возможных различных наборов, которые могут быть составлены из n аргументов, очевидно, равно 2^n . При этом, поскольку сама функция на каждом наборе может принимать значение “0” или “1”, то общее число возможных функций от n переменных равно 2^{2^n} .

Таким образом, множество состояний (значений), которые могут принимать как аргументы, так и функции, равно двум. Для этих состояний в булевой алгебре определяются отношения эквивалентности, обозначаемое символом равенства (=) и три операции:

- а) логического сложения (дизъюнкции)
- б) логического умножения (конъюнкции)
- в) логического отрицания (инверсии)

Обозначаемые соответственно символами:

+ или \vee - операция дизъюнкции,

- или \wedge или $\&$ - операция конъюнкции,
- $\bar{*}$ - операция инверсии (* - символ аргумента или функции).

Полагается, что при выполнении перечисленных операций отношения эквивалентности имеют вид:

$$\text{а) } 0 + 0 = 0, \quad \text{б) } 0 \times 0 = 0, \quad \text{в) } \bar{0} = 1, \bar{1} = 0 \quad (1)$$

$$\begin{aligned} 0 + 1 &= 1, & 0 \times 1 &= 0, \\ 1 + 0 &= 1, & 1 \times 0 &= 0, \\ 1 + 1 &= 1; & 1 \times 1 &= 1; \end{aligned}$$

На основании постулатов (1) можно вывести следующие соотношения (законы) алгебры логики:

1. Законы одинарных элементов (универсального множества – а), нулевого множества – б), тавтологии – в)): (2)

$$\begin{aligned} \text{а) } x + 1 &= 1, & \text{б) } x + 0 &= x, & \text{в) } x + x &= x, \\ x \times 1 &= x; & x \times 0 &= 0; & x \times x &= x. \end{aligned}$$

2. Законы отрицания (двойного отрицания – а), дополнительности – б), двойственности – в)): (3)

$$\begin{aligned} \text{а) } \overline{\bar{x}} &= x & \text{б) } x + \bar{x} &= 1, & \text{в) } \overline{x_1 + x_2} &= \bar{x}_1 \cdot \bar{x}_2, \\ & & x \cdot \bar{x} &= 0; & \overline{x_1 \cdot x_2} &= \bar{x}_1 + \bar{x}_2. \end{aligned}$$

3. Законы абсорбции или поглощения – а) и склеивания – б)): (3)

$$\begin{aligned} \text{а) } x_1 + x_1 \cdot x_2 &= x_1, & x_1 \cdot (x_1 + x_2) &= x_1; \\ \text{б) } x_1 \cdot x_2 + x_1 \cdot \bar{x}_2 &= x_1, & (x_1 + x_2) \cdot (x_1 + \bar{x}_2) &= x_1. \end{aligned}$$

Законы двойственности (3, в), называемые также законами де Моргана, были обобщены К. Шенноном на случай произвольного (n) числа аргументов. Кроме законов, перечисленных выше и не имеющих аналогов в обычной алгебре (алгебре чисел), для алгебры логики справедливы законы обычной алгебры:

- коммутативные или переместительные,
- дистрибутивные или распределительные,
- ассоциативные или сочетательные.

Любая логическая функция у n двоичных переменных x_1, x_2, \dots, x_n может быть задана таблично. Такие таблицы, получившие название **таблиц истинности**, содержат 2^n строк, в которые записываются все возможные двоичные наборы значений аргументов, а также соответствующее каждому из этих наборов значение функции.

Функция “отрицание” – это функция одного аргумента (другие названия функции: инверсия, логическая связь НЕ). Аналитическая форма задания этой функции: $y = \bar{x}$, где y - логическая функция, x - аргумент.

Электронный ЛЭ, реализующий функцию “Отрицание” в виде определенных уровней электрических сигналов, называют *инвертором* или ЛЭ “НЕ”. Инвертор на схемах изображается, как показано на рис. 5, а. Вход ЛЭ слева, выход – справа. На выходной линии, в месте соединения ее с прямоугольником, изображается кружок – *символ инверсии*. На языке цифровой техники инверсия означает, что выходной сигнал (y) противоположен входному (x). Сказанное иллюстрирует рис. 1, б, на котором приведены временные диаграммы инвертора.

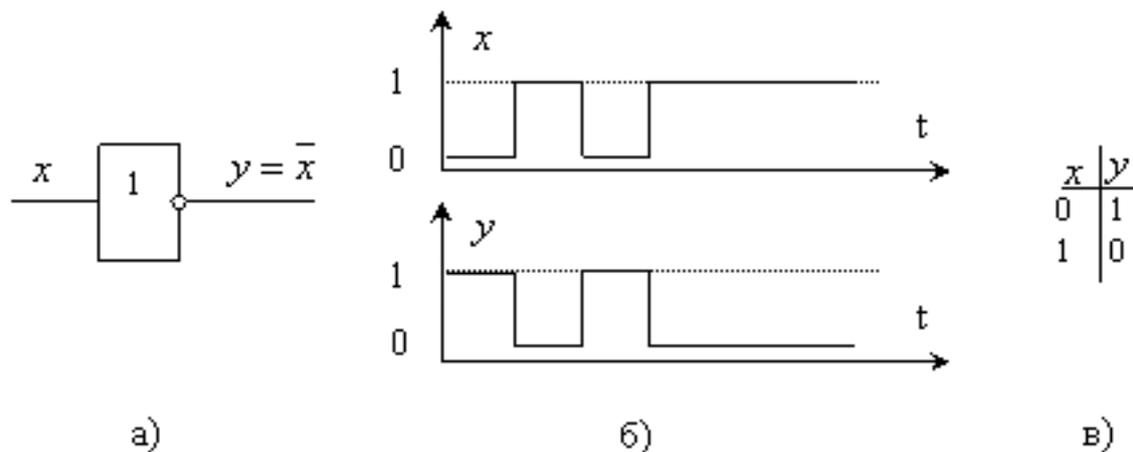


Рис.5. Инвертор: а) условное обозначение; б) временные диаграммы; в) таблица истинности

Функция “конъюнкция” – это функция двух или большего числа аргументов (другие названия функции: *логическое умножение, логическая связь И*). Аналитическая форма задания функции двух аргумент x_1 и x_2 :

$$y = x_1 \cdot x_2 \text{ или } y = x_1 \wedge x_2 \text{ или } y = x_1 \& x_2.$$

Функция “конъюнкция” равна 1 тогда и только тогда, когда все ее аргументы равны 1. ЛЭ, реализующий функцию “Конъюнкция” называют конъюнктом или ЛЭ “И”. На рис. 6 приведены: условное графическое изображение двухвходового (а) и трехвходового (б) конъюнкторов; временные диаграммы (в) и таблица истинности (г) двухвходового конъюнктора. ЛЭ “И” часто используют для управления потоком информации. При этом на один из его входов поступают сигналы, несущие некоторую информацию, а на другой – управляющий сигнал: пропустить информацию – 1, не пропустить – 0. ЛЭ “И”, используемый таким образом, называют *вентиль*.

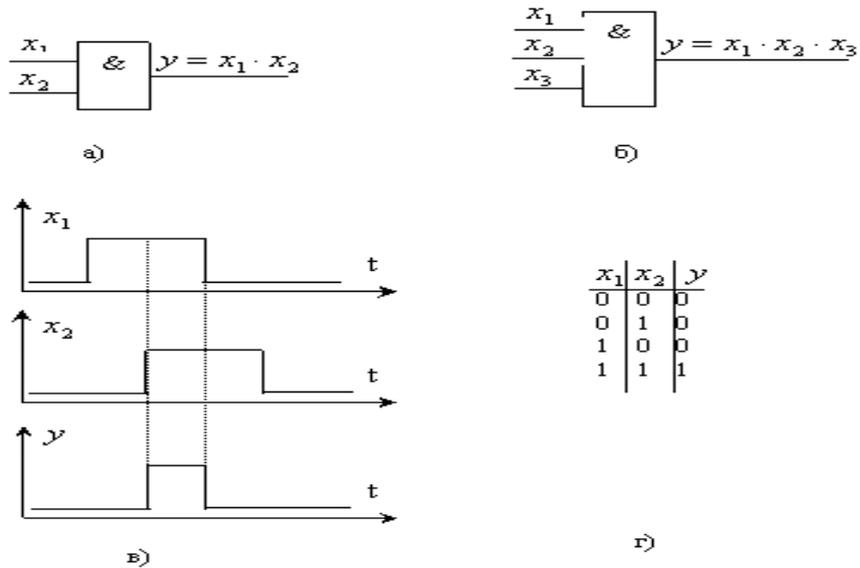


Рис 6. Конъюнктор

Функция “дизъюнкция” – это функция двух или большего числа аргументов (другие названия функции: логическое сложение, логическая связь ИЛИ). Функция равна 1, если хотя бы один из ее аргументов равен 1 (рис. 7, в). Обозначение функции “Дизъюнкция”:

$$y = x_1 + x_2 \text{ или } y = x_1 \vee x_2 .$$

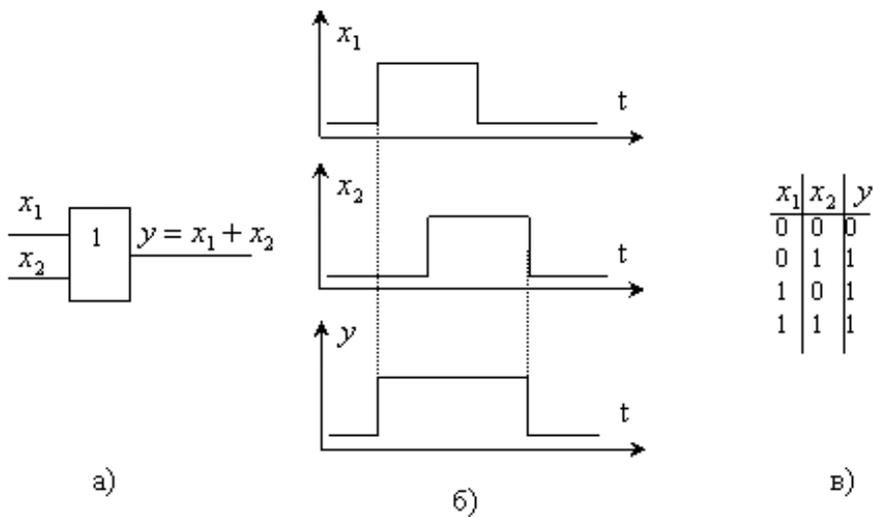


Рис 7. Дизъюнктор: а) условное изображение, б) временные диаграммы, в) таблица истинности

ЛЭ, реализующий функцию “дизъюнкция”, называют дизъюнктором или ЛЭ “ИЛИ”. Условное изображение и временные диаграммы ЛЭ “ИЛИ” приведены на рис. 8.

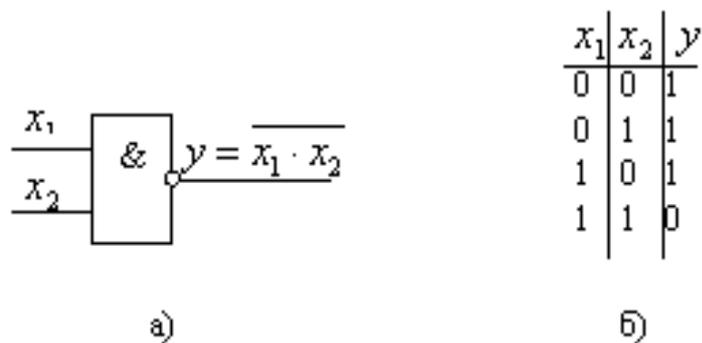


Рис 8. ЛЭ «И-НЕ»: а) условное изображение, б) таблица истинности

1.3. Функциональные узлы ЭВМ

Цель: Изучение функциональных узлов.

Комбинационные - это узлы, выходные сигналы которых определяются только сигналом на входе, действующим в настоящий момент времени (дешифратор). Выходной сигнал дешифратора зависит только от двоичного кода, поданного на вход в настоящий момент времени.

Последовательностные (автоматы с памятью) - это узлы, выходной сигнал которых зависит не только от комбинации входных сигналов, действующих в настоящий момент времени, но и от предыдущего состояния узла (счетчик).

Программируемые узлы функционируют в зависимости от того, какая программа в них записана.

Дешифратор предназначен для преобразования двоичного кода на входе в управляющий сигнал на одном из выходов.

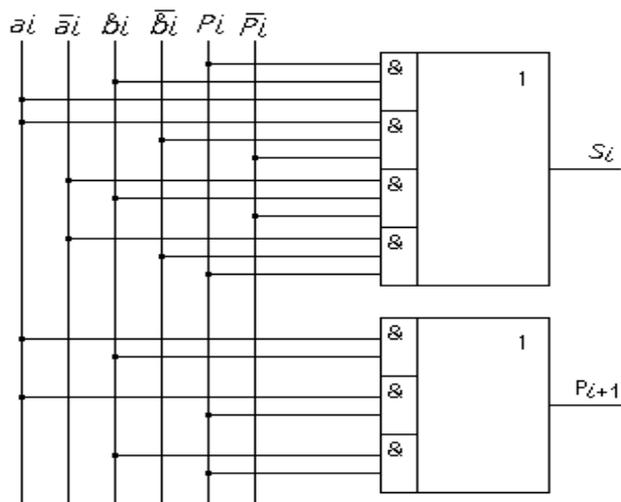
Узлы ЭВМ классифицируются на :

1. *комбинационные* - это узлы, выходные сигналы которых определяются только сигналом на входе, действующим в настоящий момент времени (дешифратор). Выходной сигнал дешифратора зависит только от двоичного кода, поданного на вход в настоящий момент времени. Комбинационные узлы называют также автоматами без памяти.

2. *последовательностные (автоматы с памятью)* - это узлы, выходной сигнал которых зависит не только от комбинации входных сигналов, действующих в настоящий момент времени, но и от предыдущего состояния узла (счетчик).

3. *программируемые узлы* функционируют в зависимости от того, какая программа в них записана. Например, программируемая логическая матрица (ПЛИМ), которая в зависимости от прожженной в ней программы может выполнять функции сумматора, дешифратора, ПЗУ.

СУММАТОР



Сумматор может быть построен как комбинационная схема - последовательный сумматор и как последовательностная схема - накапливающий сумматор. Сумматор осуществляет суммирование цифр разрядов слагаемых и цифр переноса по правилам сложения по модулю 2. Работа сумматора строго регламентирована в соответствии с таблицей:

| a_i | b_i | P_i | S_i | P_{i+1} |
|-------|-------|-------|-------|-----------|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

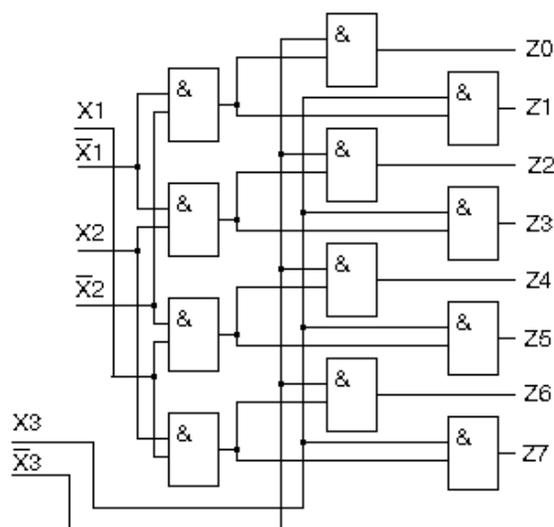
ДЕШИФРАТОР

Дешифратор предназначен для преобразования двоичного кода на входе в управляющий сигнал на одном из выходов. Если входов n то выходных шин должно быть $N = 2^n$.

| X1 | X2 | X3 | Z0 | Z1 | Z2 | Z3 | Z4 | Z5 | Z6 | Z7 |
|----|----|----|----|----|----|----|----|----|----|----|
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |

В зависимости от количества разрядов входного числа и от количества входов элементов, на которых построен дешифратор. Дешифраторы могут быть

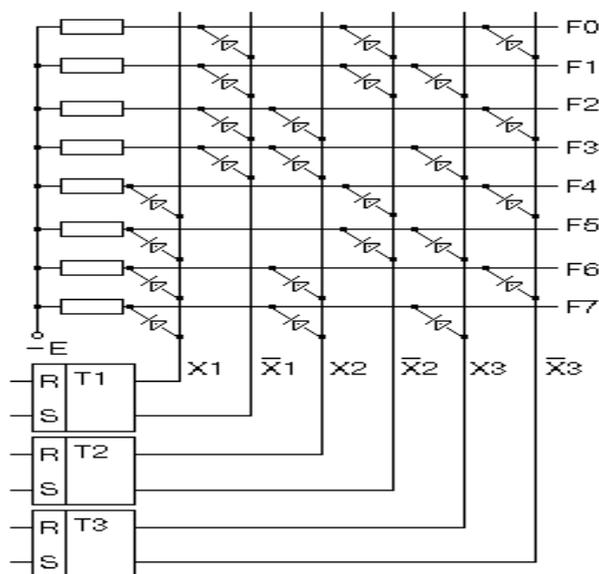
линейные, у которых все переменные X_1, X_2, X_3 подаются на вход одновременно.



Их быстродействие больше, но более 3-х переменных одновременно подать нельзя, поэтому чаще применяются многокаскадные дешифраторы. Количество элементов в каждом следующем разряде больше, чем в предыдущем.

На вход первого каскада подается один слог, на вход следующего каскада второй слог и результаты конъюнкций, произведенных в первом каскаде.

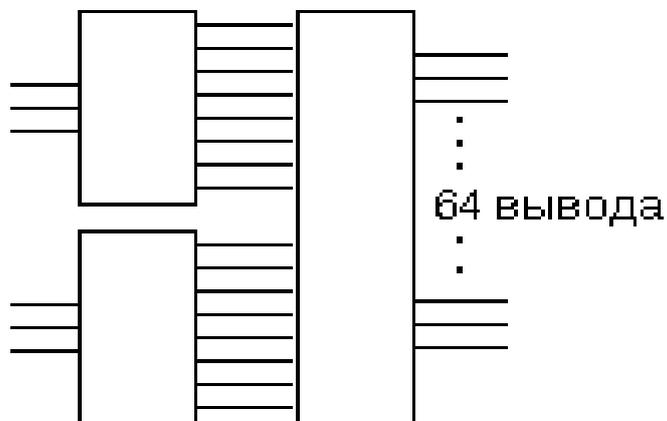
Простейший линейный дешифратор можно построить на диодной матрице:



В этой схеме используется отрицательная логика. При подаче "1" на анод диода он закрывается. Если закрыты все 3 диода, подсоединенные к одной гориз. линии то на этой линии потенциал $-E$, соответствующий уровню "1".

Многокаскадный дешифратор можно организовать вот таким образом:

Два линейных дешифратора обрабатывают по 2 слова. В последнем каскаде образуются конъюнкции вых. сигнала первого каскада. Многокаскадные дешифраторы обладают меньшим быстродействием.



1.4. Арифметические основы ЭВМ

Цель: Дать основные понятия арифметических основ ЭВМ, теорию и принципы функционирования однопрограммной ЭВМ.

Арифметические действия (операции) относятся к числу наиболее распространенных операций, выполняемых цифровыми устройствами (ЦУ).

Для выполнения арифметических операций над двоичными числами со знаком вводят дополнительный (знаковый) разряд, который указывает, является ли число положительным или отрицательным.

Если число *положительное*, в знаковый разряд проставляется символ 0, если же число – *отрицательное*, то в знаковый разряд проставляется символ 1.

Арифметические действия (операции) относятся к числу наиболее распространенных операций, выполняемых цифровыми устройствами (ЦУ).

Для выполнения арифметических операций над двоичными числами со знаком вводят дополнительный (знаковый) разряд, который указывает, является ли число положительным или отрицательным. Если число положительное, в знаковый разряд проставляется символ 0, если же число – отрицательное, то в знаковый разряд проставляется символ 1. Например, число (+ 5) с учетом знакового разряда (отделяется точкой) запишется как 0.101, а число (-3) – как 1.011.

При сложении чисел с одинаковыми знаками числа складываются и сумме присваивается код знака слагаемых, например

$$\begin{array}{r} +_2^3 \\ \hline \end{array} \Rightarrow \begin{array}{r} 0.011 \\ +0.010 \\ \hline 0.101_2 \end{array}$$

$$\begin{array}{r} -_3 \\ +_{-2} \\ \hline \end{array} \Rightarrow \begin{array}{r} 0.011 \\ +0.010 \\ \hline 1.011_2 \end{array}$$

Несколько усложняется операция сложения чисел с разными знаками (алгебраическое сложение), что равносильно вычитанию чисел. В этом случае

необходимо определить большее по модулю число, произвести вычитание и присвоить разности знак большего (по модулю) числа.

Для упрощения выполнения этой операции слагаемые представляются в обратном или дополнительном кодах, поскольку известно, что операция вычитания (алгебраического сложения) сводится к операции простого арифметического сложения двоичных чисел, представленных в обратном или дополнительном кодах.

Положительные числа в прямом, обратном и дополнительном кодах имеют один и тот же вид, а отрицательные – различный.

Чтобы представить отрицательное двоичное число в обратном коде, надо поставить в знаковый разряд 1, а во всех остальных разрядах прямого кода заменить единицы нулями, а нули – единицами, т.е. проинвертировать число. При записи отрицательного двоичного числа в дополнительном коде, надо поставить 1 в знаковый разряд, а остальные разряды получить из обратного кода числа, прибавлением 1 к младшему разряду.

Примеры записи двоичных чисел со знаками в прямом, обратном и дополнительном кодах.

| Число | Прямой код | Обратный код | Дополнительный код |
|-------|------------|--------------|--------------------|
| +6 | 0.110 | 0.110 | 0.110 |
| -5 | 1.101 | 1.010 | 1.011 |
| -11 | 1.1011 | 1.0100 | 1.0101 |

Поясним процедуру вычитания чисел 5 и 3, и 3 и 5. Последовательность и взаимосвязь операций представлена в табл. 2.

Таблица 2

| | Обратный код | Дополнительный код |
|-------------------------|--|--|
| $5 - 3 = 5 + (-3) = 2$ | $\begin{array}{r} x_1 = 0.101 \\ x_2 = 1.100 \\ + \quad 0.101 \\ \hline 10.001 \\ \xrightarrow{\text{перенос}} \\ 0.010 \end{array}$ <p>Перенос в младший разряд. Сумма положительна</p> | $\begin{array}{r} x_1 = 0.101 \\ x_2 = 1.101 \\ + \quad 0.101 \\ \hline 10.010 \\ \xrightarrow{\text{перенос}} \\ 0.010 \end{array}$ <p>Единица переноса в младший разряд игнорируется. Сумма положительна</p> |
| $3 - 5 = 3 + (-5) = -2$ | $\begin{array}{r} x_1 = 0.011 \\ x_2 = 1.010 \\ + \quad 0.011 \\ \hline 1.011 \\ \hline 1.101 \end{array}$ <p>Перенос в младший разряд отсутствует. Сумма отрицательна и представлена в обратном коде.</p> | $\begin{array}{r} x_1 = 0.011 \\ x_2 = 1.011 \\ + \quad 0.011 \\ \hline 1.011 \\ \hline 1.110 \end{array}$ <p>Сумма отрицательна и представлена в дополнительном коде.</p> |

Из приведенных примеров следует, что при использовании обратного кода в устройстве, обеспечивающем суммирование многоразрядных двоичных чисел – двоичном сумматоре, необходимо предусмотреть цепь циклического переноса. В случае использования дополнительного кода эта цепь отсутствует.

1.5. Арифметика двоично-кодированных чисел

Цель: Дать основные понятия арифметических и логических основ ЭВМ, теорию и принципы функционирования однопрограммной ЭВМ.

Двоичные сумматоры

Суммирование многоразрядных двоичных чисел $A=a_n a_{n-1} \dots a_0$ и $B=b_n b_{n-1} \dots b_0$ производится путем их поразрядного сложения с переносом между разрядами. Поэтому основным узлом многоразрядных сумматоров является комбинационный одноразрядный сумматор, который выполняет арифметическое сложение трех одноразрядных чисел (цифр): цифры данного разряда первого слагаемого (a_i), цифры данного разряда второго слагаемого (b_i) и цифры (1 или 0) переноса из соседнего младшего разряда (p_i). В результате сложения для каждого разряда получаются две цифры – сумма для этого разряда (S_i) и перенос в следующий старший разряд (p_{i+1}).

Условное графическое изображение одноразрядного сумматора и его таблица истинности (функционирования) приведены на рис. 1.

| a_i | b_i | p_i | S_i | p_{i+1} |
|-------|-------|-------|-------|-----------|
| 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

Рис. 1. Таблица истинности (б) одноразрядного сумматора

Для синтеза схемы одноразрядного сумматора запишем выражения для S_i и p_{i+1} (выходов сумматора):

$$\begin{aligned}
 S_i &= a_i \bar{b}_i \bar{p}_i + \bar{a}_i b_i \bar{p}_i + \bar{a}_i \bar{b}_i p_i + a_i b_i p_i = (a_i \bar{b}_i + \bar{a}_i b_i) \bar{p}_i + (\bar{a}_i \bar{b}_i + a_i b_i) p_i = \\
 &= (a_i \oplus b_i) \bar{p}_i + \overline{(a_i \oplus b_i)} p_i = (a_i \oplus b_i) \oplus p_i
 \end{aligned}
 \tag{1}$$

Схема одноразрядного сумматора, построенная в соответствии с выражениями (1) приведена на рис. 2.

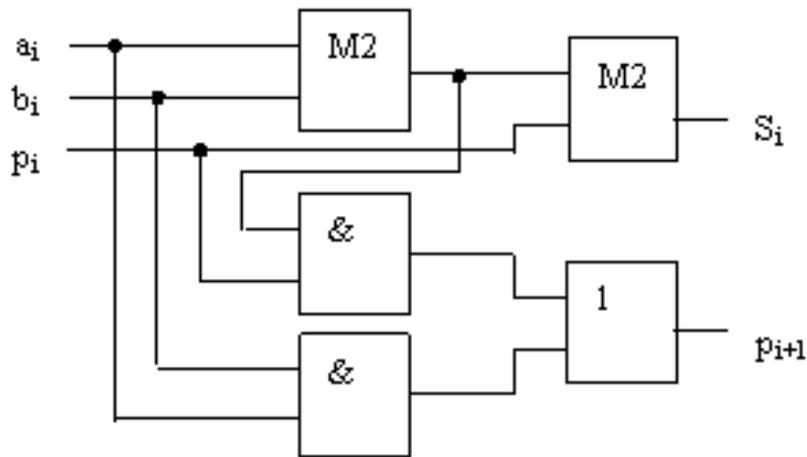


Рис.2 Схема одноразрядного сумматора

Многоразрядный параллельный сумматор может быть составлен из одноразрядных сумматоров, число которых равно числу разрядов слагаемых, путем соединения выхода, на котором формируется сигнал переноса данного разряда, с входом для сигнала переноса соседнего старшего разряда. Такой способ организации переноса называется *последовательным*.

Пример построения 3-разрядного параллельного сумматора демонстрирует рис. 3. В сумматорах этого типа перенос распространяется последовательно от разряда к разряду по мере образования суммы в каждом разряде. При наиболее неблагоприятных условиях переноса, например, при сложении чисел 11.11 и 00.01 будет иметь место «пробег» единицы переноса через весь сумматор от самого младшего к самому старшему разряду. Поэтому в наихудшем случае время распространения переноса

$$T_{\text{зд.р.пер.}} = n \times t_{\text{зд.р.пер.}}$$

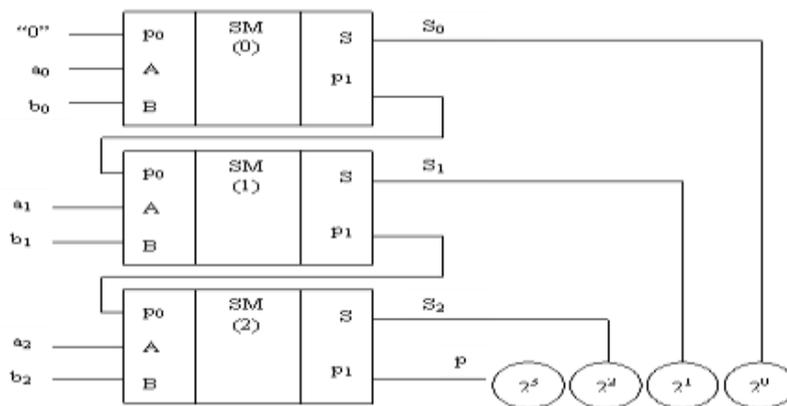


Рис.3. Функциональная схема 3-разрядного параллельного сумматора с последовательным переносом

где $t_{\text{зд.р.пер.}}$ – время задержки распространения переноса в одном разряде; n – число разрядов сумматора. Данный тип сумматора наиболее прост с точки зрения схемы цепей распространения переноса, но имеет сравнительно низкое быстродействие.

Более высоким быстродействием обладают сумматоры с параллельным переносом, в которых сигналы переноса формируются во всех разрядах одновременно. Этой цели служат специальные схемы ускоренного переноса.

Двоичные вычитатели

На рис. 4, а приведена схема 3-разрядного двоичного вычитателя, в которой вычитаемое представлено в обратном коде. Она отличается от схемы двоичного параллельного сумматора (рис. 3.) включением 3-х инверторов, обеспечивающих преобразование двоичного числа $V=b_2b_1b_0$ (вычитаемого) в обратный код и цепью дополнительного (циклического) переноса с выхода переноса 3-го (старшего) разряда на вход переноса 1-го (младшего) разряда.

На рис. 4, б изображена схема 3-разрядного вычитателя, в которой вычитаемое (В) представлено в дополнительном коде. Последнее достигается подачей (прибавлением) "1" к младшему разряду обратного кода вычитаемого. Необходимость в цепи циклического переноса при этом отпадает.

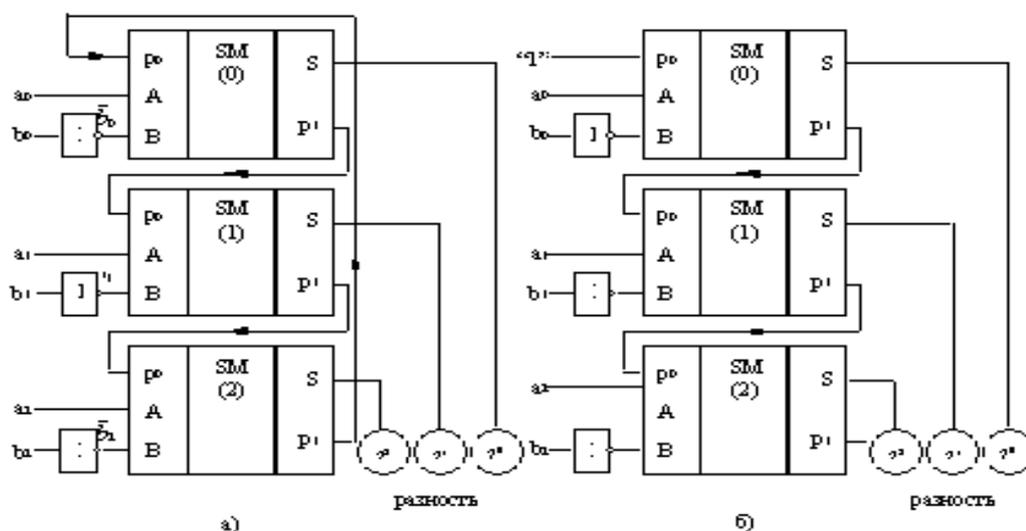
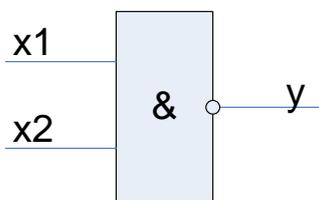


Рис.4. Функциональная схема двоичных вычитателей, в которых вычитаемое представлено в обратном ходе (а) и дополнительном ходе (б)

1.6. Основы теории логического проектирования ЭВМ

Цель: Ознакомить студентов с базовыми понятиями и методами решения типовых задач в таких разделах дискретной математики и теоретической информатики как представление булевых функций с помощью схем и диаграмм, теория конечных автоматов и теория алгоритмов, выработать у них навыки алгоритмического мышления, характерного для этих дисциплин.

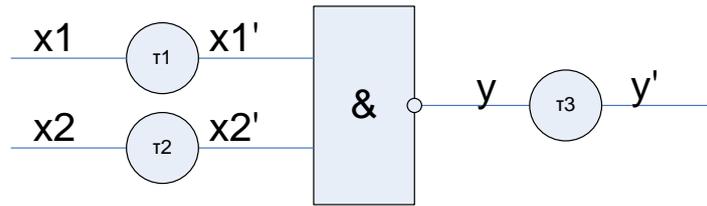
Статическая модель «И»:



$$y = \overline{x1 \cdot x2}$$

Поэтому должен быть учет задержки.

Модель, учитывающая задержку, называется динамической:

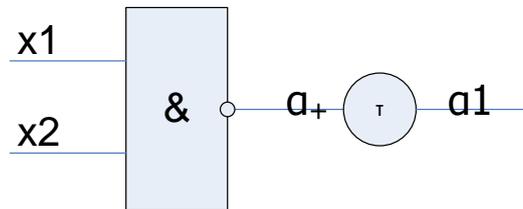


Задержки могут зависеть от...

- Паразитной емкости на входе
- Величины входного сопротивления предыдущего каскада
- Уровня срабатывания сигнала
- Длины проводников
- Напряжения питания микросхемы
- Давления
- Времени (старение)

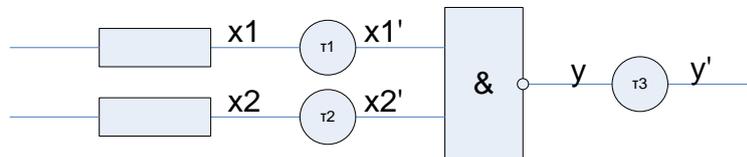
Задача: научиться аналитически определять, когда и при каких сигналах и условиях возможны логические нарушения.

Ограничимся только одной задержкой (перенесем задержку со входа на выход):



$$\tau = \tau_3 + \begin{cases} \tau_1 \\ \tau_2 \end{cases} \quad A(t-\tau)$$

α^+ - реальный сигнал, который появится на выходе реального элемента через время, равное $+\tau$



$$\begin{cases} \alpha^+ = \overline{x1 \cdot x2} \\ \alpha1^+ = \overline{x \cdot \alpha3} \\ \alpha2^+ = \overline{x \cdot \alpha1} \\ \alpha3^+ = \overline{x \cdot \alpha2} \end{cases} \text{ - математическое описание динамической модели}$$

Условие окончания переходного процесса: $\alpha^+ = \alpha$

Для этой схемы условие окончания:
$$\begin{cases} \alpha1^+ = \alpha1 \\ \alpha2^+ = \alpha2 \\ \alpha3^+ = \alpha3 \end{cases}$$

$$\alpha_i^+ = f_i(x_1, \dots, x_n, \alpha_1, \dots, \alpha_s), \text{ где } i = \overline{1, s}$$

$$\nu = (x_1, \dots, x_n), \text{ число векторов } 2^n$$

Будем использовать десятичные числа для обозначения конкретного вектора:

$$\nu_0 = (0, 0, 0, \dots, 0, 0)$$

$$\nu_1 = (0, 0, 0, \dots, 0, 1)$$

Состояние входа в систему – конкретный набор значений сигналов.

$$\mu = (\alpha_1, \dots, \alpha_s) - \text{внутреннее состояние (состояние) логической схемы}$$

На выходе: $\lambda = (z_1, \dots, z_m)$ - выходные сигналы логической схемы, число векторов 2^m

$$\mu^+ = f(\nu, \mu) - \text{функция переходов логической схемы (ФПЛС)}$$

1.7. Автоматы

Цель: Изучить теорию автоматов, процесс абстрактного проектирования, Процесс абстрактного проектирования заключается в переходе от исходной микропрограммы (или набора микропрограмм) к одной из традиционных форм задания автомата: матричной, табличной или графической (графу). Этап перехода к заданию автомата также является необходимым, т.к. обеспечивает реализацию процесса структурного проектирования путем использования достаточно, эффективного аппарата теории конечных автоматов.

Структурное проектирование представляет собой процесс перехода от указанных выше форм задания к его функциональной схеме.

И так, абстрактный автомат на входе имеет некоторую последовательность входных сигналов, в зависимости от которых переходит из одного состояния в другое, выдавая некоторую последовательность выходных сигналов.

В структурном автомате учитывается структура входных и выходных сигналов, то есть их конкретное представление в виде двоичных векторов. Состояния автомата так же кодируются двоичными векторами.

Таким образом, для того, чтобы синтезировать структурный автомат, необходимо синтезировать две комбинационные схемы по системе канонических уравнений.

1.8. Постоянные запоминающие устройства

Цели: Назначение ПЗУ, ОЗУ, регистров памяти. Анализ статической и динамической памяти.

Постоянные запоминающие устройства (ПЗУ) осуществляют произвольное преобразование двоичных кодов.

Оперативные запоминающие устройства (ОЗУ) предназначены для временного хранения множества двоичных слов.

Регистры памяти *предназначены для временного хранения многоразрядных двоичных кодов.*

Постоянные запоминающие устройства (ПЗУ) осуществляют произвольное преобразование двоичных кодов. Функциональная схема ПЗУ содержит полный n -разрядный дешифратор и матрицу логических сумм, задающую нужные выходные сигналы (рис.1).

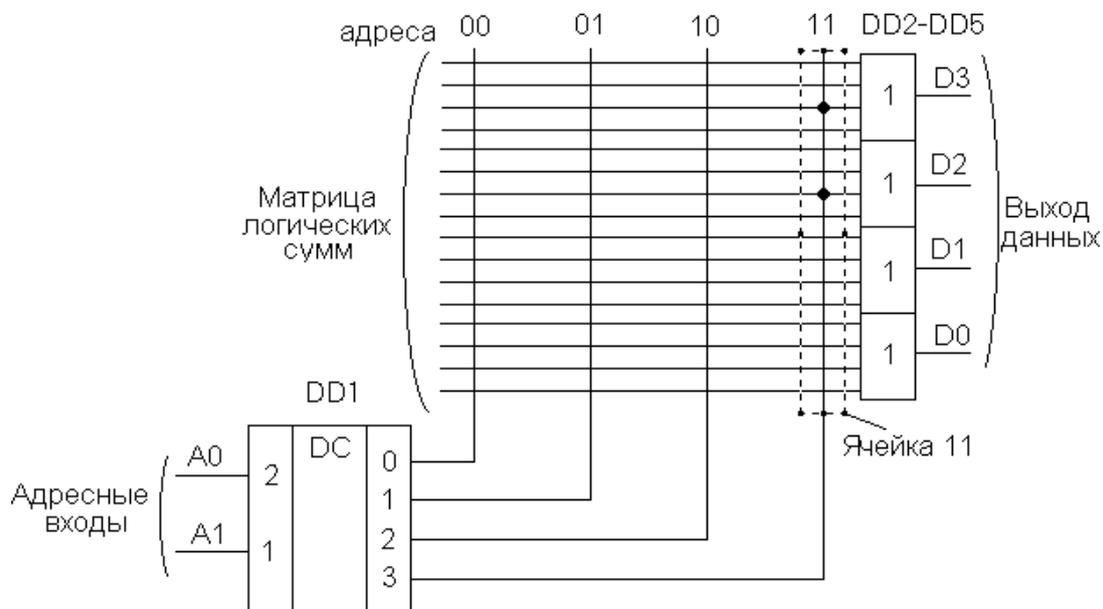


Рис.1. Функциональная схема ПЗУ с информационной емкостью $M=4 \times 4$ бит

Элементы «ИЛИ», использованные в этом ПЗУ, рассматривают логическое состояние свободного, то есть никуда не подключенного входа, как ложное. Таким свойством обладают, например, диодные ДТЛ элементы «ИЛИ». Каждый из вертикальных проводников 00, 01, 10, 11, соединенных с выходами дешифратора, образует здесь совместно с входными проводниками элементов «ИЛИ» так называемую ячейку памяти.

Входной код, устанавливающий уровень логической единицы на вертикальном проводнике ячейки, называют адресом этой ячейки, а входы A1 и A0 – адресными входами.

Адрес представляет собой двоичный номер ячейки внутри данного ПЗУ. Поэтому число ячеек ПЗУ N и число разрядов адреса n связаны соотношением $N = 2^n$.

При подаче на ПЗУ кода адреса какой-либо ячейки оно выдает на выходы данных двоичное число, записанное, запомненное в этой ячейке.

Запись в рассматриваемое ПЗУ осуществляют путем электрического соединения вертикальных и горизонтальных проводников в матрице логических сумм.

Отметим, что каждый горизонтальный проводник может иметь лишь одно соединение с вертикальными проводниками.

В рассматриваемом ПЗУ в ячейках с адресами 00, 01 и 10 записано слово 0000_2 , а в ячейке с адресом 11 – слово 1100_2 .

Основной характеристикой ПЗУ является его информационная емкость M . Информационная емкость измеряется числом бит хранимой в ПЗУ информации. Часто эту емкость изображают в виде произведения числа ячеек ПЗУ на разрядность каждой ячейки. Например, ПЗУ, представленное на рис.1.7, имеет информационную емкость $M = 4 \times 4$ бит.

Реальные ПЗУ имеют сотни и тысячи ячеек памяти, поэтому их информационные емкости могут выглядеть следующим образом: $M = 512 \times 4$ бит; $M = 1024 \times 8$ бит и т. п.

Емкость ПЗУ с восьмиразрядными ячейками часто измеряют в байтах. Используют и более крупные единицы измерения информационной емкости, такие как килобайт и мегабайт:

1 килобайт = 1К = 1024 байт;

1 мегабайт = 1 М = 1024 К = 1024x1024 байт.

Приставки кило- и мега- использованы здесь условно, так как число $1024 = 2^{10}$ лишь приблизительно равно 1000.

ПЗУ обычно имеют выходы с тремя состояниями или открытым коллектором и могут использоваться в схеме мультиплексирования многоразрядной шины (рис.1).

Регистры памяти

Регистры памяти предназначены для временного хранения многоразрядных двоичных кодов. Такие регистры обычно представляют собой параллельную группу синхронных D триггеров необходимой разрядности. Так, например, четырехразрядный регистр памяти со статическим управлением выполняют по схеме (рис.2).

Такой регистр повторяет входное слово, если тактовый сигнал $C = 1$, и запоминает, фиксирует это слово, если $C = 0$. Поэтому регистр со статическим управлением иногда называют «прозрачным фиксатором».

При составлении функциональных схем используют специальные условные обозначения для регистров памяти со статическим (рис.2в) и с динамическим управлением (рис.2г).

Регистры памяти, обеспечивающие обмен параллельными двоичными кодами между микро-ЭВМ и какими-либо внешними устройствами, часто называют портами ввода-вывода. Микросхемы, выполняющие функции таких портов, часто можно перенастраивать с ввода на вывод или наоборот.

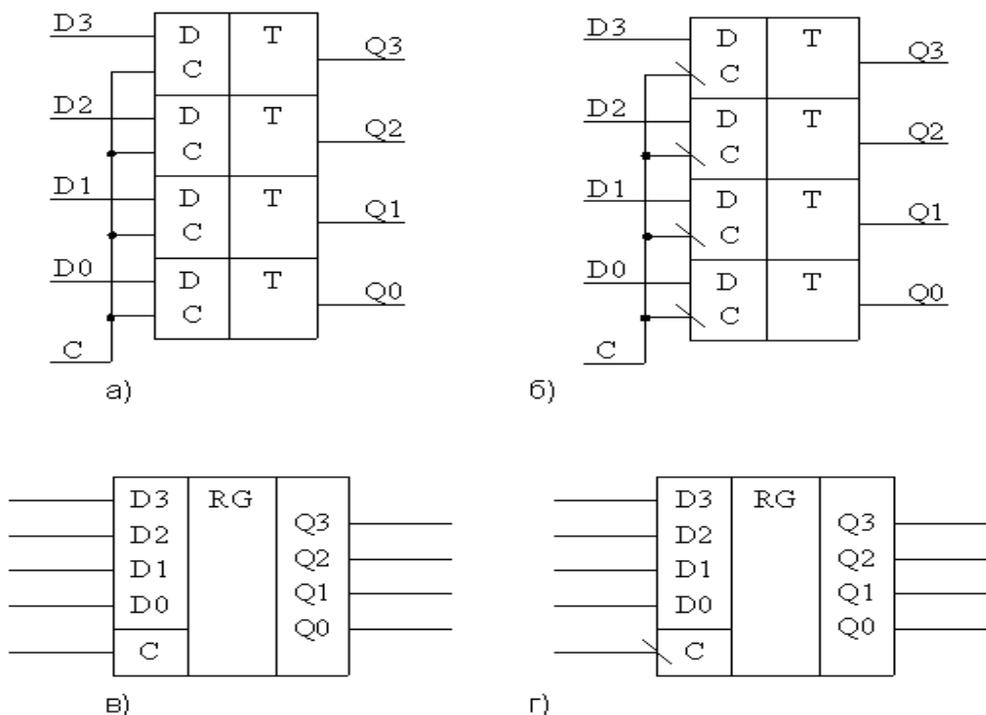


Рис.2.Функциональные схемы и условные обозначения четырехразрядных регистров памяти

Оперативные запоминающие устройства

Оперативные запоминающие устройства (ОЗУ) предназначены для временного хранения множества двоичных слов. Также как и в ПЗУ двоичные слова хранятся здесь в отдельных ячейках памяти, к каждой из которых можно обратиться по адресу.

В отличие от ПЗУ, в ОЗУ обеспечено не только чтение хранящейся в ячейках информации, но и ее оперативное изменение в темпе вычислительного процесса.

Следует иметь в виду, что ОЗУ обеспечивают хранение записанной информации лишь во включенном состоянии. Отключение питания ведет к потере всей хранимой в ОЗУ информации.

Существуют два класса ОЗУ: статические и динамические.

Ячейку памяти статического ОЗУ можно рассматривать как регистр памяти с тремя состояниями выхода, дополненный простейшей логикой управления. Функциональная схема такой ячейки приведена на рис. 3.

Ячейка имеет двунаправленные выходы $D_3...D_0$, по которым она либо принимает записываемое слово в режиме записи, либо выдает записанный код на выход режиме чтения. Ячейка запоминает входной код в регистре, если сигналы \overline{WR} («запись») и \overline{RD} («чтение») равны соответственно 0 и 1. Если же $\overline{WR} = 1$, а $\overline{RD} = 0$, ячейка выдает на выходы $D_3...D_0$ слово, хранящееся в регистре. Как при записи, так и при чтении ячейка должна быть выбрана сигналами $\overline{CS1} = \overline{CS2} = 0$. В противном случае эти процессы будут блокированы.

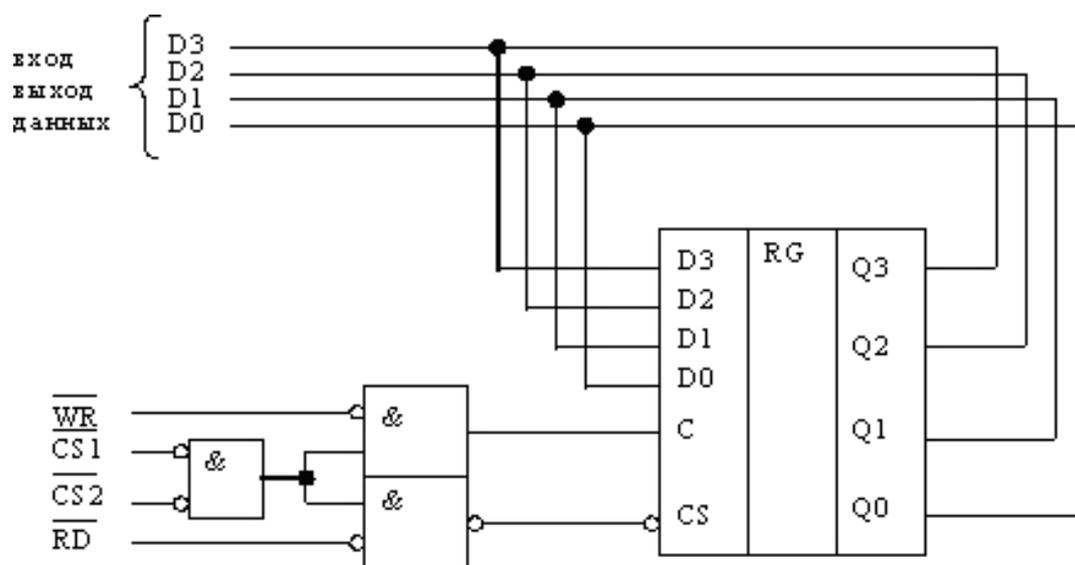


Рис.3. Функциональная схема ячейки памяти статического ОЗУ

2. Требования к выполнению и оформлению контрольной работы

Контрольная работа заключается в выполнении реферата с сопровождающим примером.

- Выбор темы реферата. (Вариант реферата вычисляется остатком деления двух последних чисел номера зачетной книжки на 20)
- Работа над текстом и оформление.
- Оценка преподавателем.

Учебный материал реферата – самостоятельная работа студента, в которой раскрывается суть исследуемой проблемы; приводятся различные точки зрения, а также собственные взгляды на нее, с сопровождением примера. Объем составляет обычно 10—15 страниц машинописного текста.

Учебный материал не должен иметь исключительно компилятивный характер. Изложение материала должно носить проблемно-тематический характер. В нем не должно быть механически переписанных из книги, сложных для понимания конструкций.

Обязательно должны быть ссылки на используемую литературу.

Примерная структура реферата.

- Титульный лист
- Оглавление (содержание, план). В нем последовательно излагаются названия пунктов темы с указанием страницы, с которой начинается каждый пункт.
- Введение. Указываются цель и задачи темы.
- Основная часть. Каждый раздел ее, доказательно, лаконично и кратко раскрывая суть темы; в основной части могут быть представлены таблицы, графики, схемы. Применить пример, пошаговое описание порядка выполнения его.
- Заключение. Подводятся итоги или дается обобщенный вывод по теме, предлагаются рекомендации.
- Список литературы.

Техническое оформление текста работы.

Работа выполняется на листах формата А4 (210X297), которые брошюруются в единый блок. Выдерживаются поля: левое – 30мм, правое – 10мм, верхнее и нижнее – 20мм. Абзацы в тексте начинаются отступом, равным пяти знакам (1,25 мм). Текст набирается на компьютере в текстовом редакторе MS WORD 97/2000/XP, язык русский, шрифт Times New Roman, размер шрифта 14, через одинарный интервал.

3. Содержание контрольной работы

В контрольной работе студентам предлагается набор упражнений, для освоения приемов и получения навыков при изучении булевой алгебры.

Схема выполнения контрольной работы

- Выбор варианта (Номер варианта задания совпадает с последней цифрой номера зачетной книжки студентов)
- Контрольное задание состоит из пунктов, 1) реферат на данные темы, 2) задачи по вариантам
- Сдача контрольной работы. Предъявляются на защиту, которая производится при устном собеседовании со студентами.

3.1. Решение задачи по булевой алгебре

Составить таблицу истинности логической функции y равнозначности (эквивалентности) трех двоичных переменных x_1, x_2 и x_3 , т.е. функции, которая принимает единичное значение только при совпадении всех трех аргументов, ее образующих.

Решение. Сначала выпишем все возможные наборы (комбинации) трех переменных x_1, x_2 и x_3 . Таких наборов, очевидно, 8. Чтобы не ошибиться при перечислении наборов аргументов, нужно сразу приучиться перечислять их единообразно – в виде возрастающей последовательности чисел, представленных в двоичной системе счисления. Для рассматриваемого примера наборы трех переменных нужно перечислить в следующем порядке: 000, 001, 010, 011, 100, 101, 110, 111 – итого восемь двоичных чисел – от 0 до 7.

Таблица 1

| Номер набора | Двоичные переменные | | | Логические функции |
|--------------|---------------------|-------|-------|--------------------|
| | x_1 | x_2 | x_3 | y |
| 0 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 2 | 0 | 1 | 0 | 0 |
| 3 | 0 | 1 | 1 | 0 |
| 4 | 1 | 0 | 0 | 0 |
| 5 | 1 | 0 | 1 | 0 |
| 6 | 1 | 1 | 0 | 0 |
| 7 | 1 | 1 | 1 | 1 |

Далее для каждого набора двоичных переменных определим, исходя из смысла ситуации, соответствующее значение функции. В результате получаем таблицу истинности логической функции "равнозначность трех двоичных переменных" (табл. 1). Задание логической функции таблицей истинности не всегда удобно. При большом числе двоичных переменных ($n \geq 6$) табличный способ задания функции становится громоздким и теряет наглядность. Возможен и аналитический способ задания логических функций, который предусматривает запись функции в форме логического выражения, устанавливающего, какие логические операции над аргументами функции должны выполняться, и в какой последовательности.

Алгебра логики предполагает возможность образования сложных функций, т.е. функций, аргументы которых являются функциями других двоичных аргументов.

Например, если $y = f(z_1, z_2)$, а $z_1 = f'(x_1, x_2)$ и $z_2 = f''(x_3, x_4)$, очевидно, что $y = f(x_1, x_2, x_3, x_4)$. Операция замены аргументов одной функции другими функциями называется *суперпозицией* функций. Эта операция дает возможность выразить сложную логическую функцию через более простые (элементарные). Приведем описание некоторых, имеющих большое значение в цифровой технике, элементарных логических функций и ЛЭ, реализующих эти функции.

Функция "отрицание" – это функция одного аргумента (другие названия функции: *инверсия, логическая связь НЕ*). Аналитическая форма задания этой функции: $y = \bar{x}$, где y - логическая функция, x - аргумент.

3.2. Самостоятельное задание

Вариант №1

1. Реферат на тему: «История и тенденции развития вычислительной техники».
2. Уменьшение высоты арифметических выражений: Необходимо вычислить произведение восьми чисел - $a_1, a_2, a_3, a_4, a_5, a_6, a_7, a_8, a_9, a_{10}$.

Вариант №2

1. Реферат на тему: «Основные характеристики и классификация вычислительных систем и сетей».
2. Оценить производительность процессора.
TCY. P. CRAY -2 = TCY. P. CRAY C -90 = 2 нс.

Вариант №3

1. Реферат на тему: «Принципы построения вычислительных систем и сетей».
2. Определить ускорение вычислений произведения SP двух матриц размерности $l \times n$ и $n \times q$ с использованием векторных операций и параллельного вычисления сумм элементов векторов для 32 процессоров.

$$n = q = l = 32$$

Вариант.№4

1. Реферат на тему: «Перспективы и тенденции развития технических средств ЭВМ, методов их проектирования и применения».
2. Определить степень полноты загрузки EP четырех матриц размерности $l \times n$ и $n \times q$ с использованием векторных операций и параллельного вычисления сумм элементов векторов для 32 процессоров. $n = q = l = 32$

Вариант.№5

1. Знать структурные схемы и взаимодействие вычислительных систем и сетей.
2. = 2000 бита - длина кадра, передаваемого от ЦОИ к абоненту и содержащего результаты обработки запроса в ЦОИ (принимается одинаковой для всех абонентов).

Вариант.№6

1. Реферат на тему: «Иерархический принцип организации вычислительных систем и сетей».
2. Оценить время на передачу фиксированного объема информации в ТКС с применением различных самосинхронизирующихся кодов, если известно:
 $E = 8$ Мбит - объем передаваемой информации (принимается одинаковым для всех ТКС), причем количество чередующихся битов равно количеству битов, составляющих серии одноименных битов, и каждая теория состоит только из двух битов (такая конкретизация необходима для оценки фактической пропускной способности линий связи с использованием различных СК);
 $V_1 = 7000$ бод - скорость изменения уровня сигналов в линии связи (в данном примере принимается одинаковой для всех ТКС).

Вариант.№7

1. Реферат на тему: «Функционально-структурный подход, основные функции систем переработки информации».
2. $EK_2 = 6000$ бита - длина кадра, передаваемого от ЦОИ к абоненту и содержащего результаты обработки запроса в ЦОИ (принимается одинаковой для всех абонентов).
Обработка запроса абонентов осуществляется последовательно: в каждом цикле сначала полностью обслуживается запрос первого абонента, затем второго и т.д. до 10-го; после этого начинается новый цикл. Время на передачу информации между узлами сети определяется емкостью передаваемой информации (временем на передачу сигнала от одного узла сети к другому пренебрегаем

Вариант.№8

1. Реферат на тему: «Взаимосвязь функциональных возможностей базовых операционных узлов, структуры, функций и основных технических устройств ЭВМ».

2. $T_{\text{ОПР}} = 10\text{с}$ - время опроса одного абонента, т.е. время на передачу сигнала опроса от центра управления сетью (ЦУС) к абоненту и получение от него ответа о готовности передачи запроса на обслуживание в центре обработки информации (ЦОИ);

Вариант №9

1. Реферат на тему: «Общие сведения о методах оценки производительности и надежности ЭВМ».
2. $M = 35$ - количество активных абонентов в сети, т.е. абонентов, готовых немедленно передать запрос на предоставление услуги, но вынужденных ожидать своей очереди;

Вариант №10

1. Реферат на тему: «Состав, устройство и принцип действия основной памяти»
2. В системах с решающей обратной связью ARQ, где реализуются непрерывный автоматический запрос на повторение и концепция скользящих окон, для двух возможных вариантов защиты от ошибок (системы с выборочным повторением и системы с возвращением на НК кадров) и заданных характеристиках линий связи и объеме передаваемой информации, найти время на передачу этой информации и необходимый объем буферного ЗУ на приемном пункте.

Вариант №11

1. Реферат на тему: «Размещение информации в основной памяти ПК»
2. Определить время полного цикла опроса / выбора в спутниковой сети при следующих исходных данных:
 - реализуется дисциплина управления сетью типа первичный / вторичный с циклическим опросом;
 - управление сетью осуществляется спутниковой ЭВМ;
 - спутник удален от поверхности Земли на НСП= 12 100 миль;
 - сигналы на участках спутник - Земля и Земля - спутник распространяются со скоростью $V_C = 57\ 000$ миль/с;
 - количество опрашиваемых наземных станций ННС = 150.

Вариант №12

1. Реферат на тему: «Расширение основной памяти ПК».
2. Определить время полного цикла опроса / выбора в спутниковой сети при следующих исходных данных:
 - реализуется дисциплина управления сетью типа первичный / вторичный с циклическим опросом;
 - управление сетью осуществляется спутниковой ЭВМ;
 - спутник удален от поверхности Земли на НСП= 12 100 миль;
 - сигналы на участках спутник - Земля и Земля - спутник распространяются со скоростью $V_C = 57\ 000$ миль/с;

– количество опрашиваемых наземных станций ННС = 150.

Вариант №13

1. Реферат: «Энергозависимая и энергонезависимая память. Динамическое оперативное запоминающее устройство и его принцип действия, структурная схема и основные параметры».

2. Сколько одновременных разговоров N_p можно обеспечить по многоканальной линии связи в цифровой сети связи, если заданы:

– $V_{ЛС} = 3,485$ Мбит/с - суммарная пропускная способность линии связи;

– $V_{ОТ} = 3500$ отобр/с - скорость отображения аналоговых сигналов при преобразовании их в цифровые;

– $n_{\text{Э}} = 12$ - разрядность двоичного кода, представляющего в линии связи одно отображение.

Вариант №14

1. Реферат на тему: «Накопитель на жестком магнитном диске».

2. Обработка запроса абонентов осуществляется последовательно: в каждом цикле сначала полностью обслуживается запрос первого абонента, затем второго и т.д. до 25-го; после этого начинается новый цикл. Время на передачу информации между узлами сети определяется емкостью передаваемой информации (временем на передачу сигнала от одного узла сети к другому пренебрегаем

Вариант №15

1. Реферат на тему: «Схемотехнические основы ЭВМ».

2. В системах с решающей обратной связью ARQ, где реализуются непрерывный автоматический запрос на повторение и концепция скользящих окон, для двух возможных вариантов защиты от ошибок (системы с выборочным повторением и системы с возвращением на НК кадров) и заданных характеристиках линий связи и объеме передаваемой информации, найти время на передачу этой информации и необходимый объем буферного ЗУ на приемном пункте.

Вариант №16

1. Реферат на тему: «Классификация оптических накопителей информации»

2. Оценить $T_{TR, \text{MAX}}$ - максимальное время реакции на запрос абонента сети, в которой реализуется ППД (метод доступа в сеть) типа первичный/вторичный с циклическим опросом, если известно:

– $M = 10$ - количество активных абонентов в сети, т.е. абонентов, готовых немедленно передать запрос на предоставление услуги, но вынужденных ожидать своей очереди;

– $T_{ОПР} = 6$ с - время опроса одного абонента, т.е. время на передачу сигнала опроса от центра управления сетью (ЦУС) к абоненту и получение от него

ответа о готовности передачи запроса на обслуживание в центре обработки информации (ЦОИ);

– $V_{ИМ} = 8000$ бит/с - пропускная способность информационной магистрали между ЦУС и ЦОИ;

– $E_{K1} = 5096$ бит - длина кадра-запроса на обслуживание (для всех абонентов принимается одинаковой);

– $T_{03} = 15$ с — время обработки запроса в ЦОИ (принимается одинаковым для всех абонентов);

Вариант №17

1. Реферат на тему: «Классификация оптических накопителей информации»

2. Сколько одновременных разговоров N_p можно обеспечить по многоканальной линии связи в цифровой сети связи, если заданы: $V_{ЛС} = 3,485$ Мбит/с - суммарная пропускная способность линии связи

Вариант №18

1. Реферат на тему: «Внешние запоминающие устройства на гибких магнитных дисках»

2. Определить время полного цикла опроса / выбора в спутниковой сети при следующих исходных данных:

– реализуется дисциплина управления сетью типа первичный / вторичный с циклическим опросом;

– управление сетью осуществляется спутниковой ЭВМ;

– спутник удален от поверхности Земли на НСП= 12 100 миль;

– сигналы на участках спутник - Земля и Земля - спутник распространяются со скоростью $V_C = 57\,000$ миль/с;

– количество опрашиваемых наземных станций $N_{НС} = 150$.

Вариант №19

1. Реферат на тему: «Накопитель на жестком магнитном диске»

2. В системах с решающей обратной связью ARQ, где реализуются непрерывный автоматический запрос на повторение и концепция скользящих окон, для двух возможных вариантов защиты от ошибок (системы с выборочным повторением и системы с возвращением на НК кадров) и заданных характеристиках линий связи и объеме передаваемой информации, найти время на передачу этой информации и необходимый объем буферного ЗУ на приемном пункте.

Вариант №20

1. Реферат на тему: «Организация модулей полупроводниковых ЗУ с произвольным доступом»

2. В системах с решающей обратной связью ARQ, где реализуются непрерывный автоматический запрос на повторение и концепция скользящих окон, для двух возможных вариантов защиты от ошибок (системы с

выборочным повторением и системы с возвращением на НК кадров) и заданных характеристиках линий связи и объеме передаваемой информации, найти время на передачу этой информации и необходимый объем буферного ЗУ на приемном пункте.

4. Вопросы для подготовки к экзамену

1. Назовите основные цели и задачи дисциплины?
2. Какие схемы применяются для преобразования сигналов?
3. Какие схемы применяются для обработки сигналов?
4. Перечислите достоинства и недостатки ИС.
5. Назовите основные этапы развития ЭВМ.
6. Роль данной дисциплины в подготовке специалистов по вычислительной технике.
7. Взаимосвязь данного предмета с другими дисциплинами специальности.
8. Объясните принципы построения современных ЭВМ.
9. Перечислите достоинства и недостатки ИС.
10. Перечислите принципы построения и организации ЭВМ.
11. Организация сетей ЭВМ.
12. Классификация вычислительных по формам представления информации.
13. Какие интегральные схемы называют аналоговыми?
14. Какие интегральные схемы называют цифровыми?
15. Перечислите отличия цифровых ИС от аналоговых.
16. Какие параметры относятся к основным статическим параметрам?
17. Какие параметры относятся к динамическим параметрам?
18. Перечислите основные интегральные параметры.
19. Основные характеристики ЭВМ.
20. Режимы работы ЭВМ.
21. Приведите обобщенную структуру ЭВМ общего назначения.
22. Перечислите основные цели проектирования ЭВМ.
23. Перечислите основные стадии проектирования ЭВМ.
24. Перечислите основные принципы проектирования ЭВМ.
25. Классификация функциональных узлов цифровых логических устройств.
26. Для чего предназначен шифратор?
27. Что называют дешифратором?
28. Что называют мультиплексором?
29. Что называют демультиплексором?
30. Для каких целей необходимы компараторы?
31. Что называют преобразователем кода?
32. Классификация сумматоров.
33. Перечислите основные параметры сумматоров.
34. Что такое узел ЭВМ?
35. Классификация узлов ЭВМ.
36. Что такое комбинационный узел?
37. Виды комбинационных узлов.
38. Что такое последовательностные узлы?

39. Виды последовательностных узлов.
40. Что такое программируемые узлы?
41. Виды программируемых узлов.
42. В чем заключается различие между представлениями чисел в формах с фиксированной и плавающей точкой (запятой)?
43. Какой код называют машинным?
44. По какому правилу образуется обратный код.
45. Какой код называется обратным?
46. Укажите основные свойства обратного кода?
47. Укажите основные свойства дополнительного кода?
48. Чем отличаются модифицированные обратные и дополнительные коды?
49. Назовите цель введения модифицированных кодов?
50. Как выполняются операции над двоично-кодированными десятичными числами?
51. В чем сущность коррекции результата?
52. Что понимается под высказыванием?
53. Какова связь логических выражений со схемами ЭВМ?
54. Что собой представляют структурные автоматы?
55. В чем заключается сущность абстрактных автоматов?
56. Объясните синтез микропрограммных автоматов.
57. Принцип работы автоматов на различных элементных базах.
58. Для чего предназначены запоминающие устройства.
59. Перечислите основные операции запоминающих устройств.
60. Назовите основные параметры запоминающих устройств.
61. Какие запоминающие устройства относятся к ЗУ с последовательным доступом?
62. Как осуществляется доступ к информации в ЗУ с произвольной выборкой?
63. От чего зависит производительность ЗУ?
64. Что такое оперативная память?
65. В чем состоит принцип работы оперативной памяти?

Список литературы

1. Каган Б.М. Электронные вычислительные машины и системы: Учебное пособие для вузов.-М.:Энергоатмиздат,1991.-552 с.
2. Гук М. Аппаратные средства IBM PC. - СПб.: Питер, 2002 - 928 с: ил.
3. Спиридонов В.В. Проектирование структур АЛУ: Учебное пособие. - СПб.: СЗПИ, 1992. -84 с.
4. Балашов Е.П., Григорьев В.Л., Петров Г.А. Микро- и мини-ЭВМ: Учебное пособие для вузов.- Л.: Энергоатомиздат, 1984, -376 с.
5. Майоров С.А., Новиков Г.И. Структура электронных вычислительных машин. Л.: Машиностроение,1979, -384 с.
6. Хамахер К., Вранешиг Э., Заки С. Организация ЭВМ. 5-е изд. –СПб.: Питер, 2003. -848 с.
7. Копейкин М.В., Пашкин В.Я., Спиридонов В.В. Управление ЭВМ: Учебное пособие. – Л. : СЗПИ,1988. -84 с.
8. А.П. Пятибратов и др. Вычислительные машины, системы и сети. — М.: Статистика, 1991- 400с.
9. Тынымбаев С.Т. Вычислительные машины, системы, комплексы и сети. Учебник для вузов. 2-ое издание. — Алматы.: Рауан, 1997 – 366 с.
10. Олифер В.Г., Олифер Н.А. Компьютерные сети, принципы, технологии, протоколы. - СП б.: Питер, 2000.
11. Таненбаум Э. Архитектура компьютера. - СПб.: Питер, 2003 - 704 с :
12. Пятибратов А.П., Гудыно Л.П., Кириченко А.А. Вычислительные системы, сети и телекоммуникации. - М.: Финансы и статистика, 2005 г

СОДЕРЖАНИЕ

| | |
|--|----|
| Введение | 3 |
| 1. Краткий теоретический материал | 4 |
| 1.1. Принципы построения и организация ЭВМ, систем и сетей ЭВМ | 4 |
| 1.2. Схемотехнические основы ЭВМ | 9 |
| 1.3. Функциональные узлы ЭВМ | 14 |
| 1.4. Арифметические основы ЭВМ | 17 |
| 1.5. Арифметика двоично-кодированных чисел | 19 |
| 1.6. Основы теории логического проектирования ЭВМ | 21 |
| 1.7. Автоматы | 23 |
| 1.8. Постоянные запоминающие устройства | 23 |
| 2. Требования к выполнению и оформлению контрольной работы | 27 |
| 3. Содержание контрольной работы | 28 |
| 3.1. Решение задачи по булевой алгебре | 28 |
| 3.2. Самостоятельное задание | 29 |
| 4. Вопросы для подготовки к экзамену | 34 |
| Список литературы | 36 |

Формат 60x84 1/12
Объем 39 стр. 3,25 печатный лист
Тираж 20 экз.,
Отпечатано
в редакционно-издательском отделе
КГУТиИ им. Ш Есенова
г.Актау, 27 мкр.